

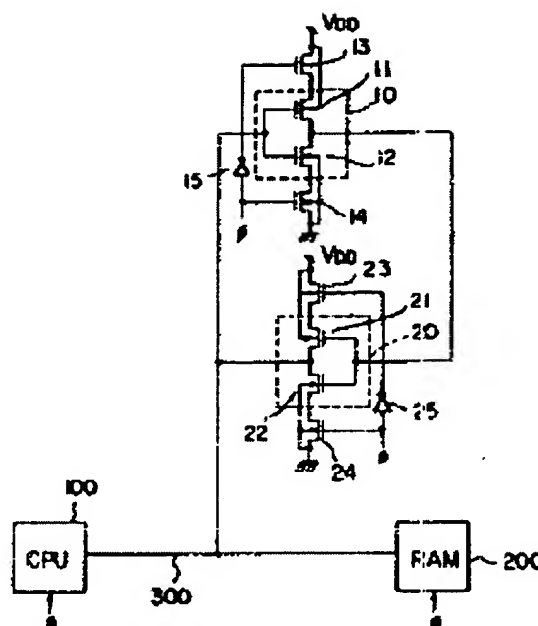
BUS TERMINATOR

Patent number: JP61269544
Publication date: 1986-11-28
Inventor: INADA SHINJI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- **International:** G06F3/00; G06F13/40; H04L25/02
- **European:** H04L12/00
Application number: JP19850111489 19850524
Priority number(s): JP19850111489 19850524

Report a data error here

Abstract of JP61269544

PURPOSE: To attain a stable operation with less power consumption by providing a transistor (TR) for switch between an inverter circuit and a power supply so as to operate the TR only when a bus line is in a high impedance state. **CONSTITUTION:** P-channel TRs 13, 23 are connected between inverter circuits 10, 20 and a power supply VDD and N-channel MOS TRs 14, 24 are connected between them and a ground point and the TRs are controlled by a high impedance signal phi. When the bus line 300 is in enable state, since the signal phi is in 'L' state, the TRs 13, 14, 23, 24 are turned off and the circuits 10, 20 are not activated. On the other hand, when all the bus line 300 are in a high impedance state, since the signal phi is in 'H' state, the TRs 13, 14, 23, 24 are all turned on, the circuits 10, 20 are operated together and act like as a bus terminator.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A)

昭61-269544

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)11月28日

H 04 L 11/00

1 0 1

A-7830-5K

G 06 F 3/00

6549-5B

13/40

7165-5B

H 04 L 25/02

Z-7345-5K

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 バスターミネータ

⑯ 特 願 昭60-111489

⑰ 出 願 昭60(1985)5月24日

⑱ 発 明 者 稲 田 真 次 川崎市幸区小向東芝町1 株式会社東芝多摩川工場内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 佐 藤 一 雄 外2名

明 細 書

1. 発明の名称 バスターミネータ

2. 特許請求の範囲

1. 互いに逆向きとなるように並列接続された2つのCMOSインバータ回路と、前記CMOSインバータ回路のそれぞれとこれらに電力を供給するための正極性の電源との間に接続されたPチャネルMOSトランジスタと、前記CMOSインバータ回路のそれぞれとこれらに電力を供給するための負極性の電源との間に接続されたNチャネルMOSトランジスタと、を備え、前記2つのCMOSインバータ回路同士の一方向の接続点がターミネートすべきバスに接続され、前記PチャネルMOSトランジスタおよび前記NチャネルMOSトランジスタのゲートに、前記バスがハイインピーダンス状態となったときに前記両トランジスタをONとする信号が与えられていることを特徴とするバスターミネータ。

2. CMOSインバータ回路が、ゲート同士およびドレイン同士がそれぞれ接続されたPチャネルMOSトランジスタとNチャネルMOSトランジスタとから成り、前記PチャネルMOSトランジスタのソースには正極性の電源が、前記NチャネルMOSトランジスタのソースには負極性の電源が、それぞれ接続されていることを特徴とする特許請求の範囲第1項記載のバスターミネータ。

3. 発明の詳細な説明

(発明の技術分野)

本発明はバスターミネータ、特にMOSトランジスタの論理回路で構成したバスターミネータに関する。

(発明の技術的背景)

デジタルデータのバスラインは、一般に“H”状態と“L”状態と“ハイインピーダンス”状態との3つの状態をとる。バスターミネータは、バスラインがこの“ハイインピーダンス”状態にあるときは電圧レベルが浮遊変動しないように“H”

状態か“L”状態かのどちらかにバスラインを固定する働きをする。

第2図に従来一般に用いられているバスターミネータの回路図を示す。この例ではCPU100とRAM200との間に接続されたバスライン300をターミネートする場合を一例として示す。このバスターミネータは2つのCMOSインバータ回路10、および20から構成され、両インバータ回路は互いに逆向きとなるように並列接続され、一方の接続点がバスライン300に接続されている。インバータ回路10は、PチャネルMOSトランジスタ11とNチャネルMOSトランジスタ12とから構成されている。両トランジスタのゲート同士およびドレイン同士がそれぞれ接続され、インバータの両端子を構成している。また、トランジスタ11のソースには電源 V_{DD} が、トランジスタ12のソースには接地点が、それぞれ接続され、両トランジスタの動作電力を供給している。インバータ回路20はPチャネルMOSトランジスタ21とNチャネルMOSトランジスタ

22とから構成され、電気的接続関係はインバータ回路10と同様である。

このような構成によりバスターミネータとしての機能を行うことができる。即ち、バスライン300が“H”状態あるいは“L”状態である場合には、バスターミネータ回路はバスライン300の状態には何ら影響を与えず、“ハイインピーダンス”状態である場合には、“H”状態または“L”状態のどちらかに固定する。例えば“ハイインピーダンス”状態になったときに、ノードaがたまたま“H”状態であれば、インバータ回路10によってノードbは“L”状態となり、更にインバータ回路20によってノードaは“H”状態に固定される。

(背景技術の問題点)

バスターミネータの目的は前述したように、バスラインが“ハイインピーダンス”状態となったときに、バスラインをどちらかの状態に固定するものである。ところが従来のバスターミネータは、バスラインが“ハイインピーダンス”状態にある

- 3 -

ときのみでなくイネーブル時、即ち、“H”状態または“L”状態にある時にも動作するという欠点がある。これはイネーブル時には常に不要な電流が流れていることになり、またバスラインからの入力があった場合には、PチャネルMOSトランジスタとNチャネルMOSトランジスタとが同時にONとなり、電源 V_{DD} から接地点へ大きな電流が流れることになり、電力消費が多くなるという弊害を生ずる。このような電流値を抑制するためには、両トランジスタのON抵抗を大きくする方法も考えられるが、ON抵抗が大きくなると外部ノイズやクロストークによるレベル変動に対し、安定なターミネートを行うことができなくなる。

(発明の目的)

そこで本発明は、消費電力が少なく、しかも安定な動作を行うことのできるバスターミネータを提供することを目的とする。

(発明の概要)

本発明の特徴はバスターミネータにおいて、互

- 4 -

いに逆向きとなるように並列接続された2つのCMOSインバータ回路と、CMOSインバータ回路のそれぞれとこれらに電力を供給するための正極性の電源との間に接続されたPチャネルMOSトランジスタと、CMOSインバータ回路のそれぞれとこれらに電力を供給するための負極性の電源との間に接続されたNチャネルMOSトランジスタと、を設け、2つのCMOSインバータ回路同士の一方の接続点をターミネートすべきバスに接続し、PチャネルMOSトランジスタおよびNチャネルMOSトランジスタのゲートに、バスがハイインピーダンス状態となったときにトランジスタをONとする信号を与え、バスラインがハイインピーダンス状態にあるときのみ動作させるようにし、消費電力が小さく、安定な動作を行うことができるようにした点にある。

(発明の実施例)

以下本発明を第1図に示す実施例に基づいて説明する。ここで、第2図に示す従来の回路と同一構成要素については同一符号を付し説明を省略す

- 5 -

-246-

- 6 -

る。本発明の特徴となる部分は、インバータ回路10および20と電源 V_{DD} との間にPチャネルMOSトランジスタ13および23を、また、接地点との間にNチャネルMOSトランジスタ14および24を接続した点である。これらのトランジスタはハイインピーダンス信号 ϕ によって制御される。即ち、トランジスタ14および24のゲートにはハイインピーダンス信号 ϕ が、トランジスタ13および23のゲートにはハイインピーダンス信号 ϕ の負論理信号 ϕ が、それぞれ与えられる。ここで信号 ϕ は信号 ϕ をインバータ15および25に通すことによって得られる。ハイインピーダンス信号 ϕ はCPU100およびRAM200にも与えられる信号で、バスライン300をイネーブル状態（“H”または“L”が確定した状態）とする場合には信号 ϕ は“L”状態、バスライン300をハイインピーダンス状態とする場合には信号 ϕ は“H”状態となる信号である。

いま、第1図の回路で、バスライン300がイネーブル状態の場合を考えると、信号 ϕ は“L”

状態であるためトランジスタ13、14、23、24はすべてOFFとなり、インバータ回路10および20は動作しない。ところがバスライン300がハイインピーダンス状態の場合を考えると、信号 ϕ は“H”状態であるためトランジスタ13、14、23、24はすべてONとなり、インバータ回路10および20ともに動作し、第2図に示した従来回路と等価となり、バスターミネータとしての働きをする。このように本回路はバスライン300がハイインピーダンス状態になったときのみ動作するので、不要な電流がなくなり、消費電力が低減する。また、トランジスタ11、12、21、22のON抵抗を高める必要がないため、外部ノイズやクロストーク等に起因するレベル変動の影響を受けることがない。

（発明の効果）

以上のとおり本発明によれば、インバータ回路を用いるバスターミネータにおいて、このインバータ回路と電源との間にスイッチ用トランジスタを設けるようにしたため、バスラインがハイイン

- 7 -

ピーダンス状態にあるときのみ動作させることができるようになり、消費電力が小さく、安定な動作を行うことができるようになる。

4. 図面の簡単な説明

第1図は本発明に係るバスターミネータの回路図、第2図は従来のバスターミネータの回路図である。

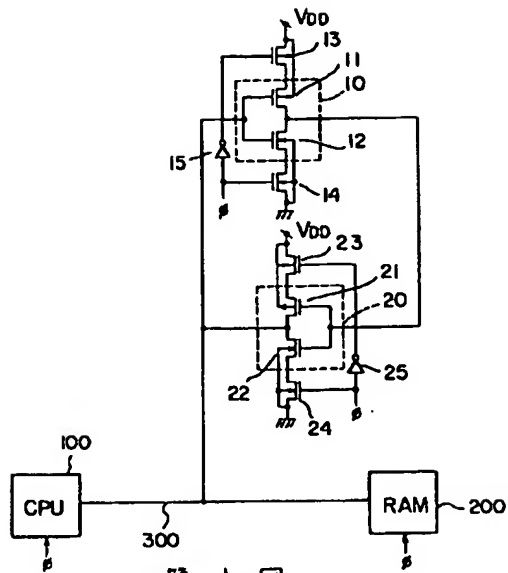
10…インバータ回路、11～14…MOSトランジスタ、15…インバータ、20…インバータ回路、21～24…MOSトランジスタ、25…インバータ、100…CPU、200…RAM、300…バスライン。

- 8 -

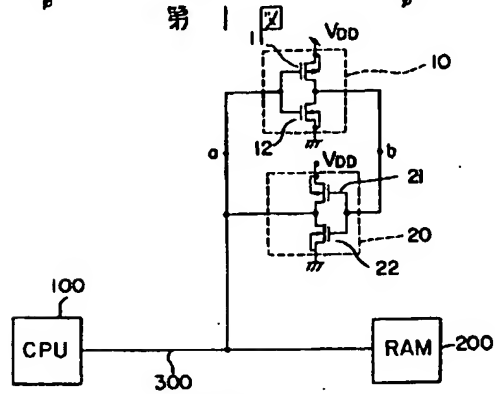
出願人代理人 猪 股 清

- 9 -

—247—



第 1 図



第 2 図